

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-164948

(43)Date of publication of application : 07.06.2002

(51)Int.Cl.

H04L 27/36  
H03M 13/27  
H03M 13/29  
H04L 1/00  
H04L 27/38

(21)Application number : 2001-280040

(71)Applicant : TEXAS INSTRUMENTS INC

(22)Date of filing : 14.09.2001

(72)Inventor : JEONG GIBONG  
PARK EDWIN

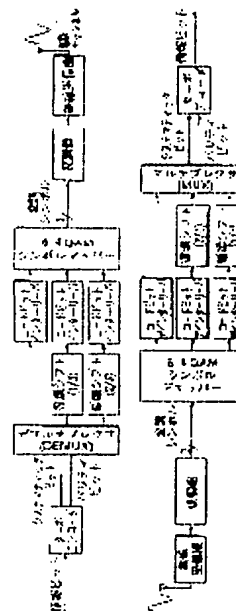
(30)Priority

Priority number : 2000 232357 Priority date : 14.09.2000 Priority country : US

## (54) METHOD AND DEVICE FOR DECIDING PRIORITY OF INFORMATION PROTECTION IN HIGH-DEGREE MODULATION SYMBOL MAPPING

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method and device for deciding priority of information protection in high-degree modulation symbol mapping that can map important code bits with inputs that are excellently protected without making the hardware complicated.  
**SOLUTION:** The method for deciding the protection priority in symbol mapping for selected information includes a step where information bits and overhead bits are received, a step where the information bits and the overhead bits are interleaved in order to supply interleaved data blocks, and a step where the interleaved data blocks are selectively mapped with a modulation symbol.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-164948

(P2002-164948A)

(43) 公開日 平成14年6月7日(2002.6.7)

| (51) Int.Cl. <sup>7</sup> | 識別記号 | F I           | テーマコード*(参考) |
|---------------------------|------|---------------|-------------|
| H 0 4 L 27/36             |      | H 0 3 M 13/27 | 5 J 0 6 5   |
| H 0 3 M 13/27             |      | 13/29         | 5 K 0 0 4   |
| 13/29                     |      | H 0 4 L 1/00  | B 5 K 0 1 4 |
| H 0 4 L 1/00              |      | 27/00         | F           |
| 27/38                     |      |               | C           |

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願2001-280040(P2001-280040)

(22) 出願日 平成13年9月14日(2001.9.14)

(31) 優先権主張番号 2 3 2 3 5 7

(32) 優先日 平成12年9月14日(2000.9.14)

(33) 優先権主張国 米国 (U S)

(71) 出願人 501229528

テキサス インストルメンツ インコーポ  
レイテッド

アメリカ合衆国、テキサス、ダラス、チャ  
ーチル ウェイ 7839

(72) 発明者 ギボン ジェオン

アメリカ合衆国 カリフォルニア、サンデ  
ィエゴ、 ウィンドクレスト レーン  
11588 ナンバー1126

(74) 代理人 100066692

弁理士 浅村 皓 (外3名)

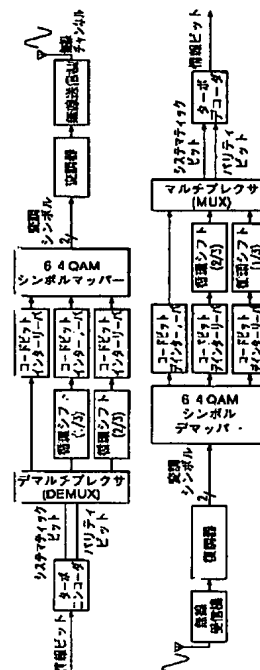
最終頁に続く

(54) 【発明の名称】 高次変調シンボルマッピングにおける情報保護の優先度を決定するための方法および装置

(57) 【要約】

【課題】 ハードウェアを複雑にすることなく重要なコードビットを良好に保護された入力ビットにマッピングすること。

【解決手段】 選択された情報のシンボルマッピングにおける保護の優先度を決定するための方法は、情報ビットおよびオーバーヘッドビットを供給する工程と、複数のインターリーブされたデータブロックを供給するように、情報ビットおよびオーバーヘッドビットをインターリーブする工程と、複数のインターリーブされたデータブロックを変調シンボルに選択的にマッピングする工程とを備える。



## 【特許請求の範囲】

【請求項1】 無線通信システムにおいて所定の情報のシンボルマッピングをする際の保護の優先度を決定する方法であって、  
情報ビットおよびオーバーヘッドビットを供給する工程と、  
複数のインターリーブされたデータブロックを供給するよう、情報ビットおよびオーバーヘッドビットをインターリーブする工程と、  
複数のインターリーブされたデータブロックを変調シンボルに選択的にマッピングする工程とを備えた方法。

【請求項2】 情報ビットおよびオーバーヘッドビットを提供する出力端を有するエンコーダと、  
第1および第2のコードビットインターリーバーと、  
エンコーダの出力端に結合されており、エンコーダの出力端から第1および第2のコードビットインターリーバーへ提供される情報ビットおよびオーバーヘッドビットを、複数のインターリーブされたデータブロックとして分配させるためのデマルチプレクサと、  
第1および第2のコードビットインターリーバーに結合されており、複数のインターリーブされたデータブロックを変調シンボルにマッピングするためのマッパーとを備えた、無線送信機。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、一般的には無線通信に関し、より詳細にはM値の直交振幅変調(QAM)送信信号におけるコード化された情報ビットを選択的に保護するためのシステムおよび方法に関する。

## 【0002】

【従来技術】ターボエンコーダの出力は変調および送信プロセスにおける関数として、図1に示されるようなシステムティックビットとパンクチャリングパリティビット(punctured parity bit)とを含む。パリティビットを所定レートでパンクチャすることによって異なるコードレートが実現される。

【0003】下記の従来技術[1]では、図2に示されるように、各コードビットの重要性を考慮することなく、すなわちコード化されたビットの変調で可能な保護レベルを考慮することなく、ターボまたは他の任意の適当なエンコーダの出力をインターリーブする。下記の従来の別の文献[2]では、正当化をすることなく、最も良好に保護された変調ビットに関して破壊されたパリティビットをマッピングする。

【0004】下記の第3の従来技術の文献[3]では、高次変調とターボコードとを共に設計することによってターボトレリス変調方式を使用している。図3は、このターボトレリス変調方式を示しており、この変調方式ではインターリーブではなく、変調シンボルレベルでインターリーブを行い、コードビットを時間に対して散乱さ

せることによって時間内の変調シンボル境界を維持している。ここでは、最も良好に保護された変調ビットに対してシステムティックビットをマッピングする。しかしながら、チャンネルエンコーダと変調シンボルマッパーとの間にインターリーバーを必要とする従来の無線通信システムに対して、このようなターボトレリス変調方式を使用することはできない。フェージングチャンネルはバーストエラーを引き起こすことが多いので、無線通信システムはフェージング時間中に同じ情報ビットに対してシステムティックビットとパリティコードビットとの双方をデコーダが喪失するような事態を生じさせるバーストエラーから保護するために、コードビットインターリーバーを使用している。1つの情報ビットに対し、システムティックビットとパリティコードビットの双方を喪失することのほうが、1つの情報ビットのシステムティックビットと別の情報ビットのパリティビットを喪失することよりも、ターボデコーダの性能にとってよくないことである。従って、エンコーダの出力を変調シンボルにマッピングする前にチャンネルエンコーダの出力をインターリーブしなければならない。

【0005】従って、情報を変調シンボルとするようにマッピングすることによって、異なるレベルのノイズイミュニティ、すなわち保護が得られることは周知であるが、このような原理は従来の無線通信システムに対して、まだ有意義に適用しなければならない。

## 【0006】文献の参照

- [1] TIA 1XTREME アドホックグループ、IS-2000 1XTREMEデルタ仕様、V2.0d
- [2] S・リー・ゴフ、A・グラヴィオーおよびC・ペロウ著、「ターボコードおよび高スペクトル効率変調」、IEEE ICC94議事録、645～649ページ(1994年)
- [3] P・ロバートソンおよびT・ウォルツ著、「ターボトレリスコード化された変調の高バンド幅効率への拡張」、IEEE ICC97議事録、1251～1255ページ(1997年)

## 【0007】

【発明の効果】本発明によれば、ハードウェアをほとんど増設することなく、より重要なコード化されたビット、例えばシステムティックビットに対する、より高いレベルの保護を行うことにより、従来技術よりも良好なチャンネルデコーダの性能が得られる。

## 【0008】

【発明が解決しようとする課題】最新の通信システムはマルチレベルの変調、例えばM値の直交振幅変調(QAM)を使用することにより、より高いレートのデータ送信を行っている。QAM信号配置における各ビットは異なるレベルでチャンネル障害から保護される。他方、チャンネルエンコーダ出力における各コードビットはデコ

ーディングに関し、重要性のレベルが異なる。従って、本明細書には変調シンボルマッパーおよび対応する受信方法および装置のために重要なコードビットを良好に保護された入力ビットに効率的にマッピングするための方法および装置が記載されている。本発明はデコーダの性能を改善し、ハードウェアの複雑さをより低くするように、かかる優先度の変換の固有な構造を活用するものである。

#### 【0009】

【課題を解決するための手段】ほとんどの無線通信システムでは、エンコーダ出力を変調シンボルにマッピングする前にチャンネルエンコーダの出力を一般にインターリーブする。その理由は、無線通信システムではフェージングチャンネルは、バーストエラーを引き起こすことが多いからである。本発明の方法および装置は、良好に保護された変調ビットに対し、重要なコードビットをマッピングしながらインターリーブを行う手段を提供するものである。

【0010】特に特許請求の範囲に新規と考えられる本発明の特徴事項を記載した。添付図面と共に次の説明を読めば、本発明について最良に理解できよう。添付図面において、同様な番号は同様な部品を示す。

#### 【0011】

【発明の実施の形態】図4はグレイコード化された特定の64 QAM配置の一例を示すと共に、コードビットがどのように変調ビットにマッピングされているかを示している。重要な情報ビットを変調シンボルのより良好に保護されたエリアにマッピングする原理は、他の高次の変調方式にも同じように適用でき、ここで64 QAMはかかる高次の変調方式の一例として使用されているにすぎない。同様に、以下に示す例ではターボコードを使用しているが、この原理は他のチャンネルコード化方式にも同じように適用できる。

【0012】64 QAM配置の各ポイントは、2つの実数 ( $c_{i1}$ ,  $c_{i2}$ )  $i=1 \dots 64$  によって示され、 $b_0, b_1, \dots, b_5$  に対応する。最初の2つの変調ビット  $b_0, b_1$  は配置における4つの象限のうちの1つを決定する。チャンネル障害に対する保護レベルは各象限の中心と判別境界  $B_0$  または  $B_1$  との間の距離に関連しており、この距離は図4に示されるように  $D_1=0.617$  に等しい。第2の対のビット  $b_2, b_3$  は所定の象限における信号ビットのサブセットを分離するものである。保護レベルは同じように各サブセットの中心と判別境界  $B_2$  または  $B_3$  との間の距離によって示され、この距離は  $D_2=0.308$  に等しい。最後のペアのビット  $b_4, b_5$  の保護レベルは同じように  $D_3=0.154$  で示される。最初の2つのビットは最も良好に保護されるが、その後の各ビットエラーに対する保護は低下する。

【0013】チャンネルエンコーダの出力ビットのうちのあるビットは他のビットよりもより重要である。例え

ばシステムティックビットは受信機における双方の構成部品であるデコーダに対して使用されるので、システムティックビットはパリティビットよりも良好に保護しなければならない。ターボエンコーダのシステムティックビット出力は情報ビットと同じであるので、本発明は可能な場合、パリティビットを最も低く保護されるビットにマッピングし、良好に保護されるビットにシステムティックビットをマッピングすることを提案するものである。他のコード化方式では、ビットの重要性を決定するために別のアルゴリズムを必要とすることがあり得ることに留意されたい。

【0014】図5は、3つのコードビットインターリーバを用いた64 QAM変調のケースにおける本発明のブロック図である。コードビットインターリーバの数は保護分類セットの数に等しく、分類セットの数はM値QAMの場合、 $\log_2(M)$  よりも大きくない。最初のコードビットインターリーバ (INT1) の出力は最も保護されるペアのビット  $b_0, b_1$  にマッピングされ、2番目のINT2の出力は  $b_2, b_3$  にマッピングされ、3番目のINT3の出力は  $b_4, b_5$  にマッピングされる。

【0015】デマルチプレクサ (DEMUX) はコードビットインターリーバの数およびコードレートに従ってシステムティックビットおよびパリティビットを分散させる。例えば表1は、3つのコードビットインターリーバによる64 QAMに対する分散比の一例を示す。コード1/4に対し、最初のインターリーバ (INT1) は3つのシステムティックビットと任意の1つのパリティビットとを取り込み、2番目のインターリーバは他の4つのパリティビットを取り込み、第3のインターリーバは残りの4つのパリティビットをそれぞれ取り込む。表2は、3つのコードビットインターリーバを用いた64 QAMに対する分散パターンを示し、一方、表3は64 QAMに対するパターンを示す。

【0016】各DEMUX出力アームはインターリーブされる前に循環シフトを通過する。この循環シフトは同じ情報ビットに対応するシステムティックビットとパリティビットとが時間的に良好に分離されるように保証するものである。システム性能に対しては完全に独立し、かつユニークなシフトシステムが最適であるが、かかる方式は実用的ではない。従って、各インターリーバのパスに独立するか、または少なくとも疑似ランダムな循環シフトパターンが導入される。これによってデマルチプレクサされるインターリーバのパスの各々に対して同じ回路およびソフトウェアを使用することが可能となる。 $k/m$  の周期シフトは次の式で示される。

#### 【0017】

##### 【数1】

$$Y(n) = X(\text{mod}(n+kN/m, N)) \quad k=1, 2, \dots, m-1.$$

【0018】ここ  $\text{Mod}(n, N)$  はモジュロ関数であり、 $N$  はコードビットインターリーバのサイズであ

り、 $m$ はコードビットインターリーバーの数である。循環シフトおよびインターリーバーの出力は変調シンボルのマッピングに使用される。

【0019】一般に、インターリーバーのパスの数( $n$ )は変調シンボルマッピングによって提供される保護レベルの数に等しい。例えば16QAMと8PSKとは2つのレベルの保護を提供するので、インターリーバーパスが3つ設けられる。32QAMと64QAMは3つのレベルを提供するので、インターリーバーパスが3つ設けられる。128QAMおよび256QAMは4つのレベルの保護を提供するので、4つのインターリーバーパスを設けることが最適である。BPSKは1つのレベルしか提供しないので、従来どおり、1つのインターリーバーパスしか必要でない。QAMを用いた場合の保護レベルは次のように決定される。

【0020】 $2^{2n}$ QAMは $n$ レベルの保護を提供する。上記操作は受信機では逆の順序で実行される。

【0021】以上の説明に関して、更に以下の項を開示する。

(1) 無線通信システムにおいて所定の情報のシンボルマッピングをする際の保護の優先度を決定する方法であって、情報ビットおよびオーバーヘッドビットを供給する工程と、複数のインターリーブされたデータブロックを供給するよう、情報ビットおよびオーバーヘッドビットをインターリーブする工程と、複数のインターリーブされたデータブロックを変調シンボルに選択的にマッピングする工程とを備えた方法。

【0022】(2) 情報ビットを取り込む工程と、情報ビットをコード化する工程とを更に備え、情報ビットおよびオーバーヘッドビットを供給する工程が、情報ビットのコード化に応答し、情報ビットおよびオーバーヘッドビットを供給することを含む、第1項記載の方法。

(3) 複数のインターリーブされたデータブロックを供給するよう、情報ビットおよびオーバーヘッドビットをインターリーブする工程が、少なくとも第1のインターリーブされたデータブロックおよび第2のインターリーブされたデータブロックを供給するよう、情報ビットおよびオーバーヘッドビットをインターリーブすることを含む、複数のインターリーブされたデータブロックを変調シンボルに選択的にマッピングする工程が、第1のインターリーブされたデータブロックを第1の種類の変調ビットにマッピングし、第2のインターリーブされたデータブロックを第1の種類の変調ビットよりもエラーをより生じ易い第2の種類の変調ビットにマッピングすることを含む、第2項記載の方法。

(4) 情報ビットおよびオーバーヘッドビットを供給する工程の後に、情報ビットを識別する工程を更に含み、少なくとも第1のインターリーブされたデータブロックおよび第2のインターリーブされたデータブロックを供給するよう、情報ビットおよびオーバーヘッドビッ

トをインターリーブする工程が、第1のインターリーブされた情報ブロックにおける情報ビットを供給し、第2のインターリーブされたデータブロック内にオーバーヘッドビットを供給するよう、情報ビットおよびオーバーヘッドビットをデマルチプレクス化することを含む、第3項記載の方法。

【0023】(5) 複数のインターリーブされたデータブロックの各々において、ビットのシーケンスを周期的パターンで独立してシフトすることを含む、第4項記載の方法。

(6) 第1のインターリーブされた情報ブロックに情報ビットを供給し、第2のインターリーブされたデータブロックにオーバーヘッドビットを供給するよう、情報ビットおよびオーバーヘッドビットをデマルチプレクス化することを含む、複数のインターリーブされたデータブロックを変調シンボルに選択的にマッピングする工程が、 $n$ 個のインターリーブされたデータブロックを $n$ 種類の変調ビットにマッピングすることを含む、ここで変調ビットの各々がエラーに対する異なるレベルの感度を有する、第5項記載の方法。

【0024】(7) 情報ビットを取り込む工程が、2つの情報ビットを取り込むことを含み、コード化後に情報ビットおよびオーバーヘッドビットを供給する工程が、2つの情報ビットおよび4つのオーバーヘッドビットを供給することを含み、複数のインターリーブされたデータブロックを供給するよう、情報ビットおよびオーバーヘッドビットをインターリーブする工程が、情報ビットの第1のインターリーブされたデータブロック、オーバーヘッドビットの第2のインターリーブされたデータブロックおよびオーバーヘッドビットの第3のインターリーブされたブロックを提供するようインターリーブすることを含み、複数のインターリーブされたデータブロックの各々においてビットのシーケンスを独立してシフトする工程が、第1のインターリーブされたデータブロック内のビットを、ビットの第1の数だけシフトし、第2のインターリーブされたデータブロック内のビットをビットの第2の数だけシフトし、第3のインターリーブされたデータブロック内のビットを第1の数および第2の数と異なるビットの第3の数だけシフトすることを含み、複数のインターリーブされたデータブロックを変調シンボルに選択的にマッピングする工程が、インターリーブされたデータブロックを64の直交振幅変調ブロックにマッピングすることを含み、配置象限を決定する変調ビットによって第1のインターリーブされたデータブロックをマッピングし、象限の一部を決定する変調ビットによって第2のインターリーブされたデータブロックをマッピングし、正しい変調シンボル値を決定する変調ビットによって第3のインターリーブされたデータブロ

ックをマッピングする、第6項記載の方法。

【0025】(8) 情報ビットおよびオーバーヘッドビットを提供する出力端を有するエンコーダと、第1および第2のコードビットインターリーバーと、エンコーダの出力端に結合されており、エンコーダの出力端から第1および第2のコードビットインターリーバーへ提供される情報ビットおよびオーバーヘッドビットを、複数のインターリーブされたデータブロックとして分配させるためのデマルチプレクサと、第1および第2のコードビットインターリーバーに結合されており、複数のインターリーブされたデータブロックを変調シンボルにマッピングするためのマッパーとを備えた、無線送信機。

【0026】(9) 第1および第2のコードビットインターリーバーが、少なくとも第1および第2のインターリーブされたデータブロックを供給するように、情報ビットおよびオーバーヘッドビットをインターリーブし、マッパーが第1のインターリーブされたデータブロックを第1の種類の変調ビットに選択的にマッピングし、第2のインターリーブされたデータブロックを第1の種類の変調ビットよりもエラーを生じ易い第2の種類の変調ビットにマッピングする、第8項記載の無線送信機。

(10) デマルチプレクサと第1および第2のコードビットインターリーバーとの間に1つずつ設けられた第

1および第2の周期的シフターを更に備えた、第8項記載の無線送信機。

【0027】(11) 選択された情報のシンボルマッピングにおける保護の優先度を決定するための方法は、情報ビットおよびオーバーヘッドビットを供給する工程と、複数のインターリーブされたデータブロックを供給するように、情報ビットおよびオーバーヘッドビットをインターリーブする工程と、複数のインターリーブされたデータブロックを変調シンボルに選択的にマッピングする工程とを備える。

【図面の簡単な説明】

【図1】ターボエンコーダのブロック図を示す。

【図2】従来の通信システムのブロック図を示す。

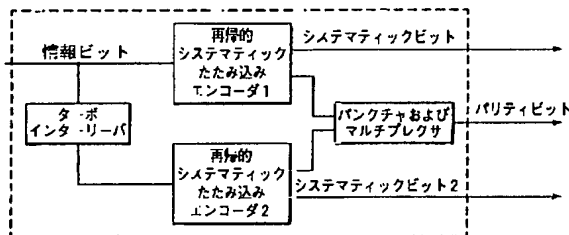
【図3】トレリス変調方式を実行する従来のターボエンコーダのブロック図を示す。

【図4】本発明の一例で使用されるQAM配置の図を示す。

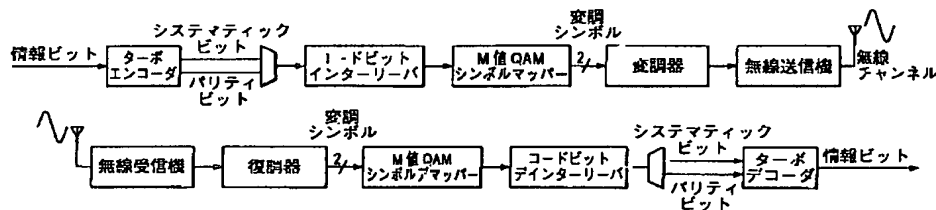
【図5】本発明に係わる通信システムのブロック図を示す。

【図6】Aは、本発明に係わる1つの変調方式における分散比を示す。Bは、本発明に係わる別の変調方式における分散比を示す。Cは、本発明に係わる更に別の変調方式における分散比を示す。

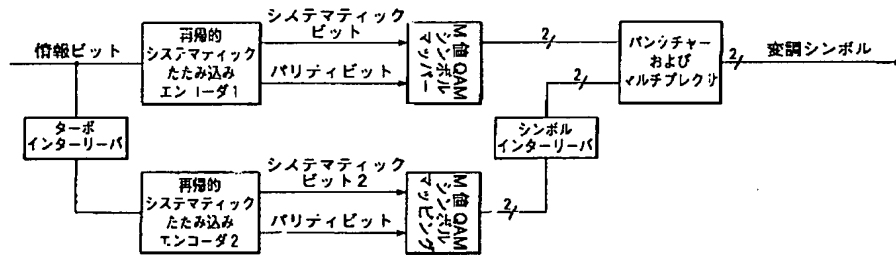
【図1】



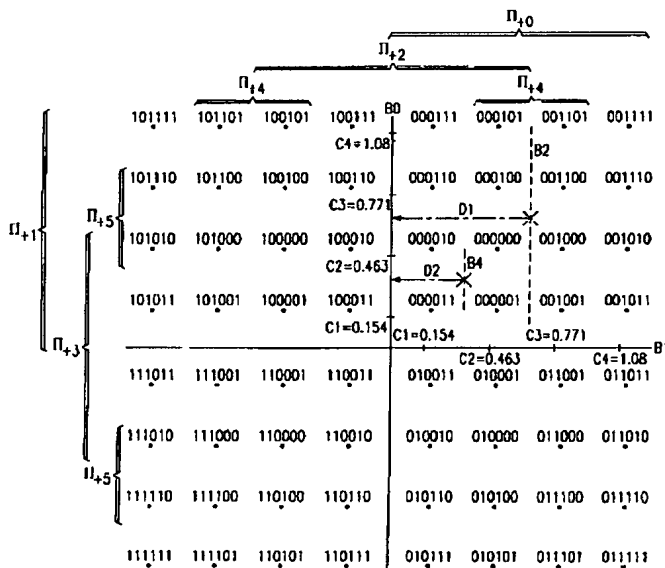
【図2】



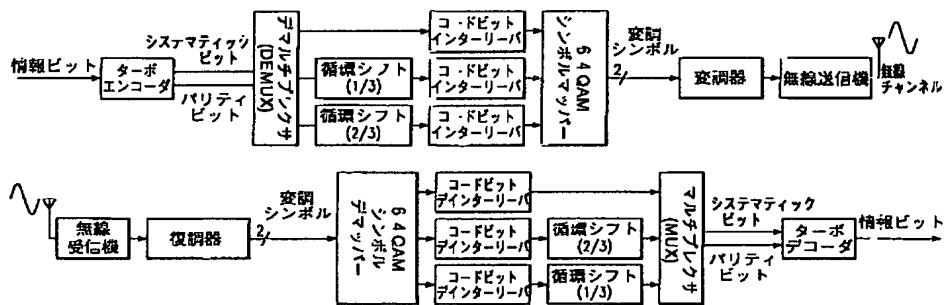
【図3】



【図4】



【図5】





【図6】

A

| コードレート                                | 1/4      | 1/3 | 1/2      | 3/4      |
|---------------------------------------|----------|-----|----------|----------|
| b <sub>0</sub> b <sub>1</sub> (INT 1) | S=3, P=1 | S=2 | S=2      | S=4      |
| b <sub>2</sub> b <sub>3</sub> (INT 2) | P=4      | P=2 | S=1, P=1 | S=4      |
| b <sub>4</sub> b <sub>5</sub> (INT 3) | P=4      | P=2 | P=2      | S=1, P=3 |

B

| コードレート   | 1/4      | 1/3      | 1/2 | 3/4      |
|--|----------|----------|-----|----------|
| b <sub>0</sub> b <sub>1</sub> b <sub>2</sub> (INT 1) | S=3, P=3 | S=2, P=1 | S=3 | S=6      |
| b <sub>3</sub> b <sub>4</sub> b <sub>5</sub> (INT 2) | P=6      | P=3      | P=3 | S=3, P=3 |

C

| コードレート                                | 1/4      | 1/3      | 1/2 | 3/4      |
|---------------------------------------|----------|----------|-----|----------|
| b <sub>0</sub> b <sub>1</sub> (INT 1) | S=1, P=1 | S=4, P=2 | S=2 | S=4      |
| b <sub>2</sub> b <sub>3</sub> (INT 2) | P=2      | P=6      | P=2 | S=2, P=2 |

フロントページの続き

(72)発明者 エドウィン パーク  
 アメリカ合衆国 カリフォルニア、サンデ  
 イエゴ、 フォックスハウンド ウェイ  
 5457

Fターム(参考) 5J065 AC02 AD01 AG05 AH07 AH09  
 5K004 AA08 JA00 JE03 JF03 JG01  
 JH06  
 5K014 AA01 AA02 BA02 FA16 HA00